

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-228298

(43)Date of publication of application : 09.10.1991

(51)Int.Cl.

G11C 29/00

G11C 16/06

(21)Application number : 02-022619

(71)Applicant : NEC CORP

(22)Date of filing : 31.01.1990

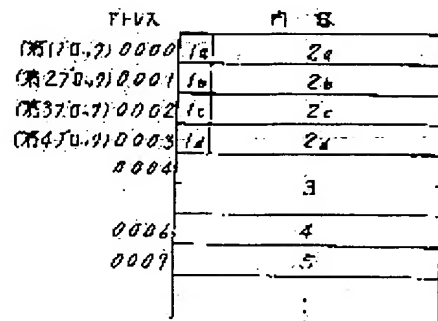
(72)Inventor : YAMAGUCHI MASAYUKI

(54) DATA STORE SYSTEM

(57)Abstract:

PURPOSE: To increase the entire lifetime of an EEPROM by allocating plural blocks having a single using information bit respectively to the information which are frequently rewritten.

CONSTITUTION: When the information is written into a 1st block, the using information bit of the 1st block is set at 1 with the using information bits of other blocks set at 0 respectively. Under such conditions, the contents of the 1st block are valid. When the new information is written, the using information bit of a 2nd block is inverted to 1 from 0 and the information is written into the 2nd block. When the information is read out, the using information bit 1a of the 1st block is compared with the using information bit 1b of the 2nd block. If no coincidence is obtained between both bits, the contents of the 1st block are read out as the valid information. When the coincidence is obtained between both bits, the bit 1b of the 2nd block is compared with the using information bit 1c of a 3rd block. If no coincidence is obtained between both bits, the contents of the 2nd block are read out as the valid information. As a result, the entire lifetime of an EEPROM is increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-228298

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)10月9日

G 11 C 29/00
16/06

3 0 1 A

7737-5B

7131-5B

G 11 C 17/00

3 0 9 F

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 データ格納方式

⑯ 特 願 平2-22619

⑰ 出 願 平2(1990)1月31日

⑱ 発 明 者 山 口 昌 幸 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

することを特徴とするデータ格納方式。

発明の名称

データ格納方式

発明の詳細な説明

〔産業上の利用分野〕

本発明は、データ格納方式に関し、特に電氣的消去可能プログラマブルメモリ(EEPROMと称す)に対する度々書き換えられる情報の格納方式に関する。

〔従来の技術〕

従来、この種のデータは内容にかかわらず1つの情報に対し1つのアドレスが割り当てられていた。

〔発明が解決しようとする問題点〕

上述の従来のデータ格納方式は、1つの情報に対して1つのアドレスが割り当てられているだけで、度々書き換えられるデータによってEEPROM全体の寿命が左右されてしまうという欠点がある。

本発明のデータ格納方式は、度々書き換えられる情報に対して第1のブロック～第nのブロック

特許請求の範囲

度々書き換えられる情報に対して第1のブロック～第nのブロックを割り当て情報の書き換えに対しては新たな情報を前記第1のブロックから順次に前記第nのブロックまで書き込み前記第nのブロックの次には再び前記第1のブロックから順次に書き込むように前記第1のブロック～第nのブロックを繰り返して使用し、前記第1のブロック～前記第nのブロックそれぞれに対応してそれぞれが1ビットからなる第1の使用情報ビット～第nの使用情報ビットを設け、第1のブロックに新たな情報を書き込む時は前記第1の使用情報ビットを反転させ、情報を読み出す時は前記第1～第nの使用情報ビットを比較して前記第1～第nのブロックの内容のいずれか一つを有効な情報と

を割り当て、情報の書き換えに対しては新たな情報を前記第1のブロックから順次に前記第nのブロックまで書き込み前記第nのブロックの次には再び前記第1のブロックから順次に書き込むように前記第1のブロック～第nのブロックを繰り返して使用し、前記第1のブロック～前記第nのブロックそれぞれに対応してそれぞれが1ビットからなる第1の使用情報ビット～第nの使用情報ビットを設け、第iのブロックに新たな情報を書き込む時は前記第iの使用情報ビットを反転させ、情報を読み出す時は前記第1～第nの使用情報ビットを比較して前記第1～第nのブロックの内容のいずれか一つを有効な情報とすることを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例におけるEEPROMのデータ格納図である。使用情報ビット1a, 1b, 1c, 1dは度々書き換えられる情報に対

して割り当てられたアドレス0000～0003(以下、第1ブロック～第4ブロックと称す)の各ブロックに書き込まれた内容2a, 2b, 2c, 2dのうち、どのデータが有効であるかを示すものである。あまり書き換えられない情報に対してはそれぞれ1つのアドレスが割り当てられ、内容3, 4, 5…(アドレス0004, 0006, 0007, …)が書き込まれていることを示している。

第3図は度々書き換えられる情報を実際にEEPROMに書き込む手順を示したものである。仮に初期設定はどの使用情報ビット1a～1dも0であるものとし、この状態を第4ブロックの内容が有効であるものとする。初期に第1ブロックの使用情報ビットを0から1へ反転させ、情報を第1ブロックに書き込む。この時、第1ブロックの使用情報ビットは1、他のブロックの使用情報ビットは0となる。この状態を第1ブロックの内容が有効であるものとする。次に新たな情報を書き込む必要が発生した時は第2ブロックの使用情報

ビットを0から1へ反転させ、第2ブロックに情報を書き込む。このようにして第3図の手順に従って順々に各ブロックを使用していくと、各ブロックの使用情報ビットの内容とその時有効なブロックの関係は第2図のようにまとめられる。

逆に、この情報を読み出す場合には第4図の手順に従っておこなうことができる。

すなわち、第1ブロックの使用情報ビット1aと第2ブロックの使用情報ビット1bを比較し、異っていれば第1ブロックの内容を有効な情報として読み出し、等しければ次に第2ブロックの使用情報ビット1bと第3ブロックの使用情報ビット1cについて同様な処理を行い、これらが等しければさらに使用情報ビット1cと使用情報ビット1dを比較し、等しければ第4ブロックの内容を有効な情報として読み出す。

〔発明の効果〕

以上説明したように本発明は、EEPROM等において度々書き換えられる情報に対して1ビットの使用情報ビットを有する複数のブロックを割

り当てることにより、各アドレスに対する書き込み回数を最小限におさえ、EEPROM等の全体の寿命を延ばしうる効果がある。

図面の簡単な説明

第1図は本発明の一実施例のデータ格納を示す図、第2図は第1図における各使用情報ビット1a～1dの内容とその時有効な内容の対応を示す図、第3図および第4図はそれぞれ第1図の度々書き換えられる情報の書き込み手順、読み出し手順を示すフローチャートである。

1a, 1b, 1c, 1d…使用情報ビット、
2a, 2b, 2c, 2d…ブロックの内容、3,
4, 5…アドレスに書き込まれた内容。

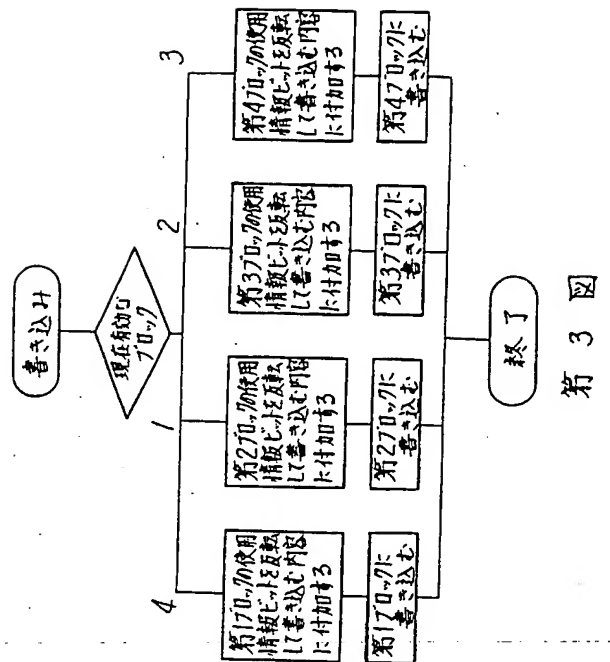
代理人 弁理士 内 原 晋

アドレス	内容
(第17ビット) 0000	1a 2a
(第27ビット) 0001	1b 2b
(第37ビット) 0002	1c 2c
(第47ビット) 0003	1d 2d
0004	3
0006	4
0007	5
	...

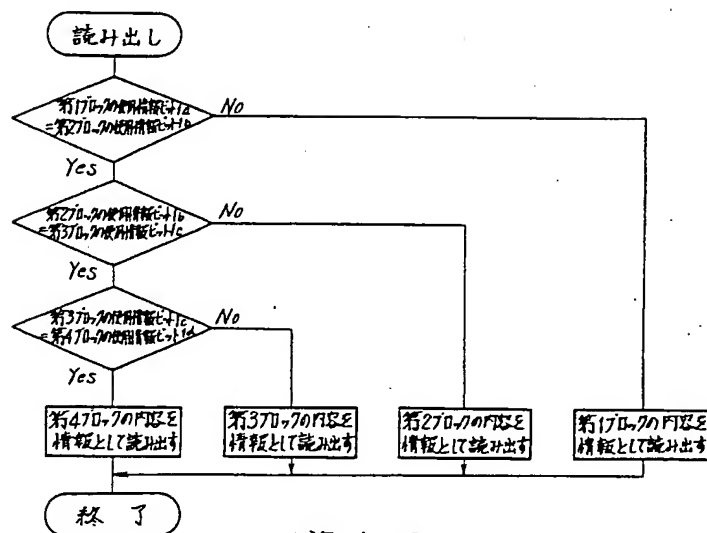
第1図

1aの内容	0	1	1	1	1	0	0	0
1bの内容	0	0	1	1	1	1	0	0
1cの内容	0	0	0	1	1	1	1	0
1dの内容	0	0	0	0	1	1	1	1
有効内容	2d	2a	2b	2c	2d	2a	2b	2c

第2図



第3図



第4図